

⑯日本国特許庁 (JP) ⑮特許出願公開
⑰公開特許公報 (A) 昭63-181191

⑯Int.Cl.⁴
G 11 C 11/34

識別記号 庁内整理番号
M-8522-5B

⑯公開 昭和63年(1988)7月26日

審査請求 未請求 発明の数 1 (全5頁)

⑭発明の名称 半導体記憶装置

⑮特願 昭62-12679
⑯出願 昭62(1987)1月21日

⑰発明者 田中成和 東京都港区芝5丁目7番15号 日本電気アイシーマイコン
システム株式会社内

⑯出願人 日本電気アイシーマイコンシステム株式会社 東京都港区芝5丁目7番15号

⑰代理人 弁理士内原晋

明 横 電

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

半導体記憶装置において、

メモリのリード/ライトタイミングに同期した
プリチャージタイミング信号と活性タイミング信号
を発生するタイミング発生回路と、

プリチャージタイミング信号を入力すると出力
データバスを初期化し、活性タイミング信号を入
力すると出力データバス上のデータ信号を増幅す
る1組のセンス増幅回路からなる1つのセンス増
幅器と、

パラレルデータを出力する第1および第2の出
力端子群と、

出力データバスから転送されたデータを入力し
保持して第1および第2の出力端子群にそれぞれ
出力する第1および第2の出力回路と、

ポートセレクト信号を発生するポートセレクト
回路と、

ポートセレクト信号が第1の論理レベルのとき、
センス増幅器と第1の出力回路を接続し、ポート
セレクト信号が第2の論理レベルのとき、その接
続を切断する第1の切換回路と、

ポートセレクト信号が第2の論理レベルのとき、
出力データバスと第2の出力回路を接続し、ポート
セレクト信号が第1の論理レベルのとき、その接
続を切断する第2の切換回路を有することを特
徴とする半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体記憶装置に関する。

(従来の技術)

従来、半導体記憶装置において、バスライン上
の微小信号を増幅するために必要なセンス増幅器
は、出力端子に接続されている出力回路の近傍に
配置する構成が一般的であった。

第4図は上述の構成を有し、かつ、メモリから
読み出された3ビットからなるデータを同時に出力
する端子群を2つ有し、どちらの端子群に出力さ

せるかを自由に選択できる装置の要部の配置の従来例を示すブロック図である。

切換回路 2 および 6 はポートセレクト信号（不図示）によって交互にオン／オフし、メモリセルアレイ 9 から出力データバス 1 上に読み出された 3 ビットのパラレルデータを、2 組の出力端子群 5, 8 のいずれかを選択して出力させる。センス増幅器 21, 22 を構成するセンス増幅回路 21A～21C, 22A～22C は、それぞれが接続されているデータ線上のデータを増幅する。出力回路 4, 7 は、前記の増幅されたデータを保持し、それぞれ出力端子群 5, 8 に出力する。

なお、第 4 図にはメモリセルアレイ 9 の I/O ゲート、I/O ゲートのアドレス発生回路、センス増幅器 21, 22 の活性タイミング信号発生回路、切換回路 2, 6 の切換制御をするポートセレクト信号発生回路およびこれらの回路が出力する制御信号の信号線は図示されていない。

（発明が解決しようとする問題点）

上述した従来の半導体記憶装置では、センス増

幅器 21, 22 は、それに接続されている部分の容量が大きい場合には大きな能力が要求され、それはベレット上で大きな面積を必要とし、容量の大部分を占める出力データバス 1 全体が動作中の片側のセンス増幅器 21 または 22 に接続されているため、センス増幅器 21, 22 は大きな能力が要求され、ベレットサイズを大きくするという欠点がある。

（問題点を解決するための手段）

本発明の半導体記憶装置は、メモリのリード／ライトタイミングに同期したプリチャージタイミング信号と活性タイミング信号を発生するタイミング発生回路と、プリチャージタイミング信号を入力すると出力データバスを初期化し、活性タイミング信号を入力すると出力データバス上のデータ信号を増幅する 1 組のセンス増幅回路からなる 1 つのセンス増幅器と、パラレルデータを出力する第 1 および第 2 の出力端子群と、出力データバス上のデータを入力し保持して第 1 および第 2 の出力端子群にそれぞれ出力する第 1 および第 2 の

（実施例）

次に、本発明の実施例について図面を参照して説明する。

第 1 図は本発明の半導体記憶装置の一実施例の要部の配置を示す図、第 2 図は本実施例の構成図、第 3 図 (a) および (b) は本実施例の各部の動作を示すタイミング図である。

1 組のセンス増幅回路 3A, 3B, 3C から成る 1 つのセンス増幅器 3 が出力データバス 1 に接続され、切換回路 2, 6 はそれぞれセンス増幅器 3 と出力回路 4 との間、および出力データバス 1 と出力回路 7 との間に配置されている。その他の配置は第 4 図の従来例と同様である。

センス増幅器 3 は活性タイミング信号 15 の制御により出力データバス 1 上の微小信号を出力回路 4 および 7 で判別が可能なレベルまで増幅する。センス増幅器 3 は、またプリチャージタイミング信号 16 の制御により出力データバス 1 を初期化する。出力回路 4 および 7 は、入力したパラレルデータを保持し、出力端子群 5 および 8 に出力す

出力回路と、ポートセレクト信号を発生するポートセレクト回路と、ポートセレクト信号が第 1 の論理レベルのとき、センス増幅器と第 1 の出力回路を接続し、ポートセレクト信号が第 2 の論理レベルのとき、その接続を切断する第 1 の切換回路と、ポートセレクト信号が第 2 の論理レベルのとき、出力データバスと第 2 の出力回路を接続し、ポートセレクト信号が第 1 の論理レベルのとき、その接続を切断する第 2 の切換回路を有する。

（作用）

センス増幅器は、メモリのリードサイクルの初期に出力データバスをプリチャージした後、出力データバス上に出力されたデータをその出力タイミングに同期して増幅し、増幅されたパラレルデータは切換回路によって選択された出力端子群から出力される。

したがって、増幅回路は 1 組のセンス増幅回路からなる 1 つの共通のセンス増幅器だけですみ、半導体記憶装置上の増幅回路が占める面積を小さくすることができる。

る。ポートセレクト回路10は、外部ポートセレクト信号PSを入力するとポートセレクト信号19, 20を発生する。切換回路2および6は、ポートセレクト信号19および20の制御により、出力回路4とセンス増幅器3との接続、および出力回路7と出力データバス1との接続をそれぞれ切換える。

タイミング発生回路11は外部リクエスト信号REQに同期したタイミング信号を発生する回路で、活性タイミング信号15, プリチャージタイミング信号16を発生してセンス増幅器3に出力し、また、アドレス決定タイミング信号17を発生する。アドレス発生回路12は選択すべき1/0ゲートのアドレスを発生し、アドレス決定タイミング信号17に同期してゲート選択信号18を出力する。1/0ゲート13はゲート選択信号18を入力し、メモリセルアレイ9のチップ選択およびリード/ライトを制御する。

次に、本実施例の動作について第3図により説明する。

増幅されたパラレルデータはリクエスト信号REQに同期して出力回路4または7を経由して出力端子群5または8から選択出力される。

なお、本実施例では、中間レベルのプリチャージが行なわれているが、ハイレベルまたはロウレベルのプリチャージも可能である。

(発明の効果)

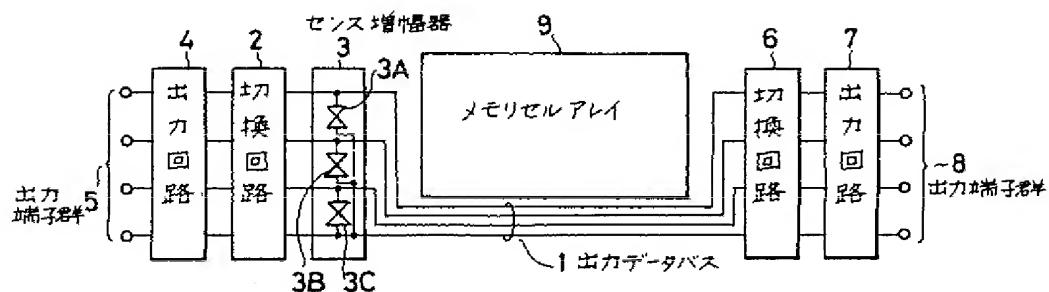
以上説明したように本発明は、パラレルデータを、出力データバスに接続された共通のセンス増幅器で増幅した後、2つの出力端子群のそれぞれから選択出力することにより、半導体記憶装置上の増幅回路の占める面積を小さくすることができ、チップサイズが小さく高密度の半導体集積回路装置を構えることができる効果がある。

4. 図面の簡単な説明

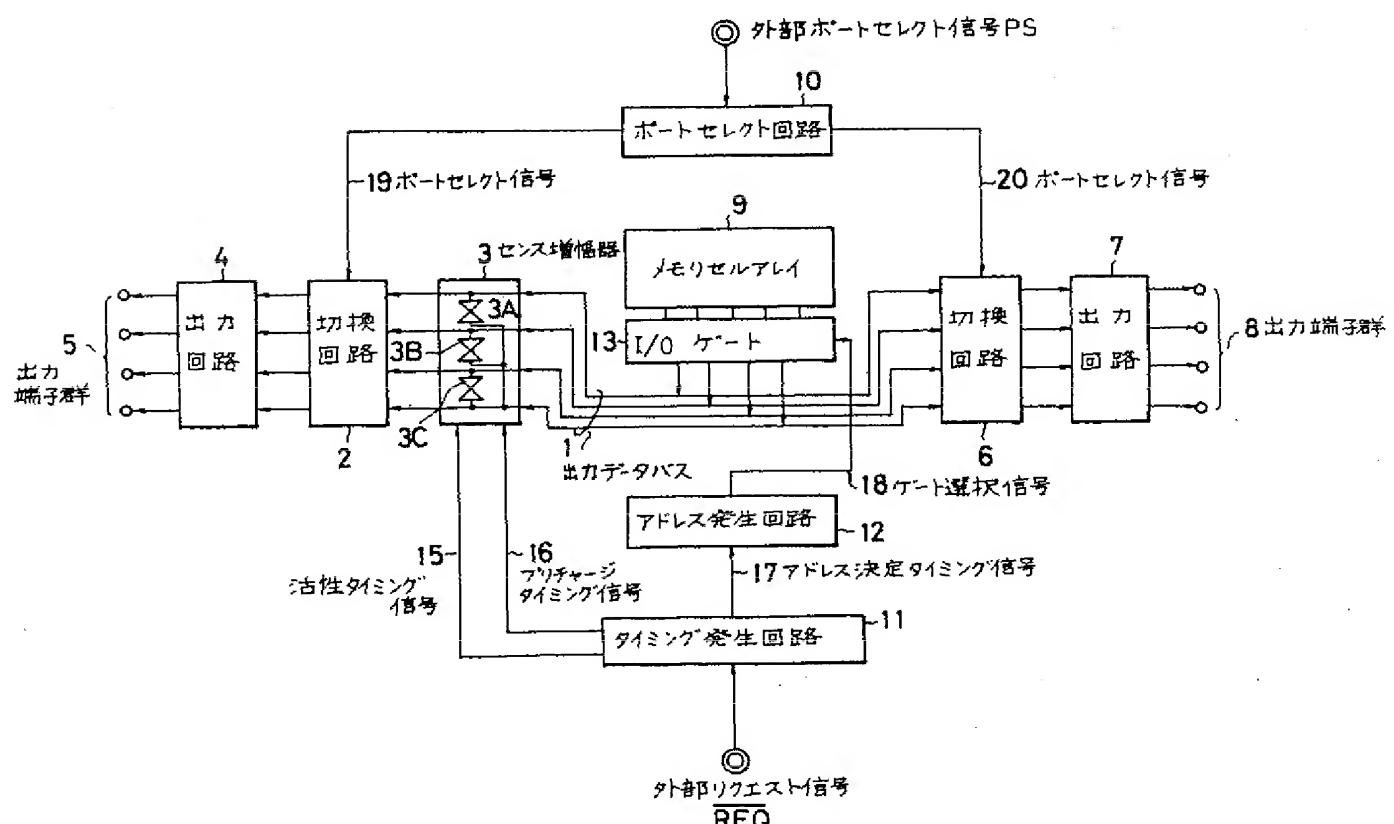
第1図は本発明の半導体記憶装置の一実施例の要部の配置を示す図、第2図は本実施例の構成図、第3図(a)および(b)は本実施例の各部の動作を示すタイミング図、第4図は半導体記憶装置の要部の配置の従来例を示す図である。

データの出力を要求する外部リクエスト信号REQが外部からタイミング発生回路11に入力すると(第3図(a))、その立ち下りに同期してプリチャージタイミング信号16が出力され、センス増幅器3はプリチャージタイミング信号16のアップエッジで出力データバス1を初期化する。一方、アドレス発生回路12はタイミング発生回路11が外部リクエスト信号REQに同期して出力するアドレス決定タイミング信号17を入力するとゲート選択信号18を出力し、ゲート選択信号18のアップエッジに同期して1/0ゲート13を経てデータがメモリセルアレイ9から出力データバス1上に読み出される。出力データバス1上のデータは活性タイミング信号15のタイミングで、センス増幅器3によって増幅される。切換回路2, 6は外部ポートセレクト信号PSがハイレベルの期間には切換回路2が開いて切換回路6が閉じ、ロウレベルの期間には切換回路2が閉じて切換回路6が開く動作をする(第3図(b))。したがって、メモリセルアレイ9から読み出され、

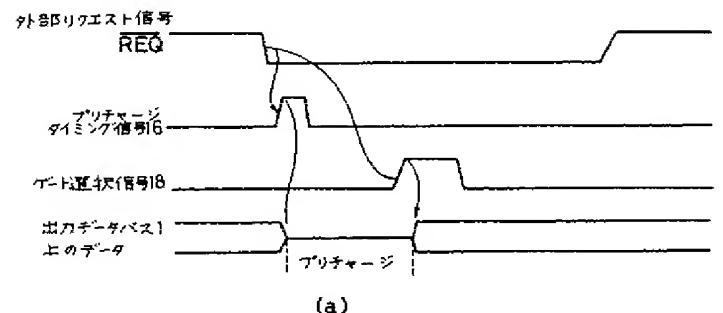
- 1…出力データバス、
- 2, 6…切換回路、
- 3…センス増幅器、
- 3A, 3B, 3C…センス増幅回路、
- 4, 7…出力回路、
- 5, 8…出力端子群、
- 9…メモリセルアレイ、
- 10…ポートセレクト回路、
- 11…タイミング発生回路、
- 12…アドレス発生回路、
- 13…1/0ゲート、
- 15…活性タイミング信号、
- 16…プリチャージタイミング信号、
- 17…アドレス決定タイミング信号、
- 18…ゲート選択信号、
- 19, 20…ポートセレクト信号、
- PS…外部ポートセレクト信号、
- REQ…外部リクエスト信号。



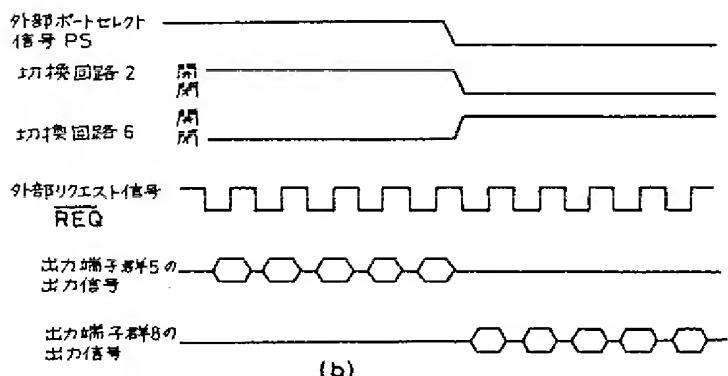
第 1 図



第 2 図

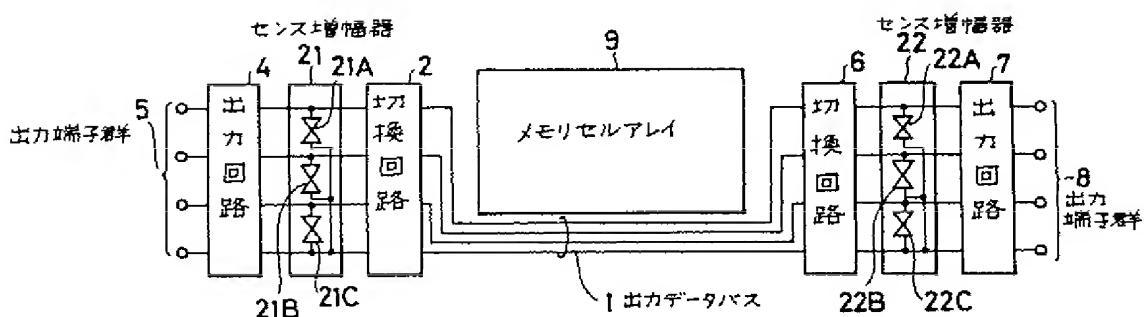


(a)



(b)

第 3 図



第 4 図